

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kengo TAKATA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: INPUT BUFFER CIRCUIT HAVING FUNCTION OF CANCELING OFFSET VOLTAGE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

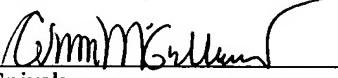
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-135339	May 14, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2003年 5月14日

出願番号

Application Number: 特願2003-135339

[ST.10/C]:

[JP2003-135339]

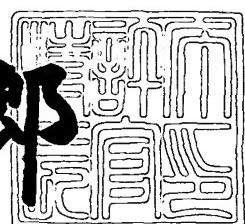
出願人

Applicant(s): 三菱電機株式会社

2003年 6月 2日

特許長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041835

【書類名】 特許願

【整理番号】 543996JP01

【提出日】 平成15年 5月14日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/45

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 高田 賢吾

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 吉村 勉

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 近藤 晴房

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 伊藤 浩伸

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 入力バッファ回路

【特許請求の範囲】

【請求項1】 第1及び第2の入力信号が入力され、第1及び第2の出力信号が出力される入力バッファ回路であって、

前記入力バッファ回路は、

第1の差動增幅回路と、

前記第1の出力信号が入力される第1の積分回路と、

前記第2の出力信号が入力される第2の積分回路と、

前記第1及び第2の積分回路からそれぞれ出力された電圧値を変換する第1の電圧変換回路と

を備え、

前記第1の差動增幅回路は、

前記第1の入力信号が入力されるゲートを有する第1のトランジスタと、

前記第2の入力信号が入力されるゲートを有する第2のトランジスタと
を有し、

前記第1の電圧変換回路の出力は、前記第1及び第2のトランジスタの各バックゲートに接続されている、入力バッファ回路。

【請求項2】 前記入力バッファ回路は、前記第1の差動增幅回路に継続接続された第2の差動增幅回路をさらに備え、

前記第2の差動增幅回路は、

前記第1の差動增幅回路から出力された第3の出力信号が入力されるゲートを有する第3のトランジスタと、

前記第1の差動增幅回路から出力された第4の出力信号が入力されるゲートを有する第4のトランジスタと
を有し、

前記第1の電圧変換回路の前記出力は、前記第3及び第4のトランジスタの各バックゲートにさらに接続されている、請求項1に記載の入力バッファ回路。

【請求項3】 前記入力バッファ回路は、

前記第1の差動増幅回路に継続接続された第2の差動増幅回路と、
前記第1及び第2の積分回路からそれぞれ出力された前記電圧値を変換する第
2の電圧変換回路と
をさらに備え、

前記第2の差動増幅回路は、
前記第1の差動増幅回路から出力された第3の出力信号が入力されるゲートを
有する第3のトランジスタと、
前記第1の差動増幅回路から出力された第4の出力信号が入力されるゲートを
有する第4のトランジスタと
を有し、

前記第2の電圧変換回路の出力は、前記第3及び第4のトランジスタの各バッ
クゲートに接続されている、請求項1に記載の入力バッファ回路。

【請求項4】 前記第1の差動増幅回路は、前記第1のトランジスタに接続
された第5のトランジスタと、前記第2のトランジスタに接続された第6のトラ
ンジスタとを有する定電流源をさらに備え、

前記第1の電圧変換回路の前記出力は、前記第5及び第6のトランジスタの各
バックゲートにさらに接続されている、請求項1～3のいずれか一つに記載の入
力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オフセット電圧をキャンセルする機能を有する入力バッファ回路
に関するものである。

【0002】

【従来の技術】

複数の差動増幅回路が継続接続された構成を有する従来の入力バッファ回路で
は、オフセット電圧をキャンセルすべく、分圧用の抵抗や終端抵抗等の様々な回
路素子が、データパス（又はシグナルパス）に接続されていた。

【0003】

なお、オフセット電圧をキャンセルする手法に関する技術は、例えば下記の特許文献1～3に開示されている。

【0004】

【特許文献1】

特開2002-9561号公報

【特許文献2】

特開2003-8407号公報

【特許文献3】

特開平4-192703号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来の入力バッファ回路によると、データバスに接続された上記の回路素子の影響によって、ノイズが増加したり差動增幅回路の帯域幅が狭くなる等、入力バッファ回路の性能が低下する場合があるという問題がある。

【0006】

また、前段の回路から出力された信号に含まれる直流成分の影響を受けて、オフセット電圧を適切にキャンセルすることができない場合が生じ得る。そのため、前段の回路との接続方式が、キャパシタを介した接続方式（容量結合方式）に制限されるという問題がある。

【0007】

本発明はかかる問題を解決するために成されたものであり、回路の性能が低下することなく、前段の回路との接続方式が制限されることもない、入力バッファ回路を得ることを目的とするものである。

【0008】

【課題を解決するための手段】

この発明に係る入力バッファ回路は、第1及び第2の入力信号が入力され、第1及び第2の出力信号が出力される入力バッファ回路であって、入力バッファ回路は、第1の差動增幅回路と、第1の出力信号が入力される第1の積分回路と、第2の出力信号が入力される第2の積分回路と、第1及び第2の積分回路からそ

それぞれ出力された電圧値を変換する第1の変換回路とを備え、第1の差動増幅回路は、第1の入力信号が入力されるゲートを有する第1のトランジスタと、第2の入力信号が入力されるゲートを有する第2のトランジスタとを有し、第1の変換回路の出力は、第1及び第2のトランジスタの各バックゲートに接続されている。

【0009】

【発明の実施の形態】

実施の形態1.

図1は、本発明の実施の形態1に係る入力バッファ回路の構成を示す回路図である。図1には、2個の差動増幅回路が縦続接続された構成を有する入力バッファ回路が示されている。しかしながら、差動増幅回路の個数は2個に限定されるものではなく、入力バッファ回路は、1個以上の差動増幅回路を備えていればよい。

【0010】

入力バッファ回路は、1段目の差動増幅回路と、2段目の差動増幅回路と、積分回路として機能する第1及び第2のローパスフィルタ回路と、電圧変換回路として機能する差動増幅回路5とを備えている。但し、差動増幅回路5の代わりに、レベルシフタ回路が設けられていてもよい。

【0011】

1段目の差動増幅回路は、負荷1m, 1nと、nチャネルMOSFET（以下、単に「トランジスタ」と称する）1x, 1y, 1zとを有している。トランジスタ1xのドレインは、負荷1mを介して、電源電位に接続されている。トランジスタ1xのソースは、トランジスタ1zのドレインに接続されている。トランジスタ1xのゲートには、図示しない前段の回路（例えば、フォトダイオードと同じケース内に密封されたトランスインピーダンスアンプ）から、入力信号INが入力されている。トランジスタ1yのドレインは、負荷1nを介して、電源電位に接続されている。トランジスタ1yのソースは、トランジスタ1zのドレインに接続されている。トランジスタ1yのゲートには、上記の前段の回路から、入力信号INBが入力されている。トランジスタ1zは、1段目の差動増幅回路

の定電流源として機能する。トランジスタ 1z のソース及びバックゲートは、グランド電位に接続されている。トランジスタ 1z のゲートには、所定のバイアス電圧BIASが入力されている。

【0012】

2段目の差動増幅回路は、負荷 2m , 2n と、トランジスタ 2x , 2y , 2z とを有している。トランジスタ 2x のドレインは、負荷 2m を介して、電源電位に接続されている。トランジスタ 2x のソースは、トランジスタ 2z のドレインに接続されている。トランジスタ 2x のゲートには、1段目の差動増幅回路から出力された出力信号 $V1\text{a}$ が入力されている。トランジスタ 2y のドレインは、負荷 2n を介して、電源電位に接続されている。トランジスタ 2y のソースは、トランジスタ 2z のドレインに接続されている。トランジスタ 2y のゲートには、1段目の差動増幅回路から出力された出力信号 $V1\text{b}$ が入力されている。トランジスタ 2x , 2y の各バックゲートは、グランド電位に接続されている。トランジスタ 2z は、2段目の差動増幅回路の定電流源として機能する。トランジスタ 2z のソース及びバックゲートは、グランド電位に接続されている。トランジスタ 2z のゲートには、バイアス電圧BIASが入力されている。2段目の差動増幅回路からは、入力バッファ回路の出力信号である、出力信号OUT, OUTBが出力されている。

【0013】

図1に示した例とは異なり、トランジスタ 1z , 2x , 2y , 2z がそれぞれpチャネルMOSFETである場合は、これらのトランジスタの各バックゲートは、電源電位に接続される。

【0014】

第1のローパスフィルタ回路には、出力信号OUTBが入力されている。第1のローパスフィルタ回路は、出力信号OUTBとグランド電位との間で抵抗 3s とキャパシタ 4s とが直列に接続された構成を有している。

【0015】

第2のローパスフィルタ回路には、出力信号OUTが入力されている。第2のローパスフィルタ回路は、出力信号OUTとグランド電位との間で抵抗 3t とキ

ヤパシタ4 t とが直列に接続された構成を有している。

【0016】

差動増幅回路5の第1の入力端子は、抵抗3 s とキャパシタ4 sとの直列接続点に接続されている。これにより、第1のローパスフィルタ回路から出力された電圧値（即ち、キャパシタ4 sの電位）V2 aが、差動増幅回路5の第1の入力端子に入力されている。また、差動増幅回路5の第2の入力端子は、抵抗3 t とキャパシタ4 tとの直列接続点に接続されている。これにより、第2のローパスフィルタ回路から出力された電圧値（即ち、キャパシタ4 tの電位）V2 bが、差動増幅回路5の第2の入力端子に入力されている。差動増幅回路5は、電圧値V2 aを変換して電圧V3 aを出力し、電圧値V2 bを変換して電圧V3 bを出力する。差動増幅回路5の第1の出力端子は、トランジスタ1 xのバックゲートに接続されている。これにより、トランジスタ1 xのバックゲートには、差動増幅回路5によって電圧V3 aが印加されている。また、差動増幅回路5の第2の出力端子は、トランジスタ1 yのバックゲートに接続されている。これにより、トランジスタ1 yのバックゲートには、差動増幅回路5によって電圧V3 bが印加されている。

【0017】

小振幅かつ高周波数の信号（例えば、フォトダイオードの出力信号）を入力バッファ回路によって増幅しようとする場合、入力信号IN, INBは、電源電位及びグランド電位までフルスイングすることなく、コモンモード電圧と呼ばれる直流電圧値を中心として、プラス方向及びマイナス方向の双方に同程度の微小振幅で振れる。理想的には、出力信号V1 aに関するコモンモード電圧と、出力信号V1 bに関するコモンモード電圧とが互いに等しいことが望ましい。しかしながら、製造時のばらつき等に起因して、トランジスタ1 xの特性とトランジスタ1 yの特性が互いに異なるため、出力信号V1 aに関するコモンモード電圧と、出力信号V1 bに関するコモンモード電圧との間に、電位差（オフセット電圧）が発生してしまう。

【0018】

以下、図1に示した入力バッファ回路において、オフセット電圧をキャンセル

する手法について説明する。出力信号OUTBは第1のローパスフィルタ回路に入力され、第1のローパスフィルタ回路は、所定の期間、出力信号OUTBを積分する。その積分結果は、電圧値V2aとしてキャパシタ4sにストアされる。同様に、出力信号OUTは第2のローパスフィルタ回路に入力され、第2のローパスフィルタ回路は、上記の所定の期間、出力信号OUTを積分する。その積分結果は、電圧値V2bとしてキャパシタ4tにストアされる。オフセット電圧は、電圧値V2aと電圧値V2bとの差に反映されている。

【0019】

差動増幅回路5は、電圧値V2a, V2bを変換することにより、1段目の差動増幅回路の設計仕様、特にトランジスタ1x, 1yの設計仕様に合わせて、適切な電圧V3a, V3bを生成して出力する。電圧V3a, V3bはトランジスタ1x, 1yの各バックゲートにそれぞれ印加され、これにより、トランジスタ1x, 1yの各しきい値電圧がそれぞれ変化する。トランジスタ1x, 1yの各しきい値電圧が変化することにより、オフセット電圧がキャンセルされる。

【0020】

例えば、出力信号V1aに関するコモンモード電圧が、出力信号V1bに関するコモンモード電圧よりも高くなっていると仮定する。この場合、出力信号OUTに関するコモンモード電圧が、出力信号OUTBに関するコモンモード電圧よりも高くなる。従って、電圧値V2bは電圧値V2aよりも高くなり、電圧V3bは電圧V3aよりも高くなる。バックゲートに印加される電圧（ボディバイアス電圧）が高いほどトランジスタのドレイン電流は大きいため、負荷1nによる電圧降下は負荷1mによる電圧降下よりも大きくなる。その結果、出力信号V1aに関するコモンモード電圧は低下し、出力信号V1bに関するコモンモード電圧は上昇する。このようにしてオフセット電圧がキャンセルされる。

【0021】

図2は、オフセット電圧がキャンセルされている様子を示すグラフである。初期状態においては、出力信号OUTに関するコモンモード電圧が出力信号OUTBに関するコモンモード電圧よりも高く、両者間にオフセット電圧が生じている。しかしながら、オフセット電圧は徐々にキャンセルされ、約6ns経過後は、

出力信号OUT, OUTBに関する各コモンモード電圧がほぼ等しくなっていることが分かる。

【0022】

このように本実施の形態1に係る入力バッファ回路によれば、トランジスタ $1_x, 1_y$ の各バックゲートに電圧 V_{3a}, V_{3b} をそれぞれ印加することによって、オフセット電圧をキャンセルする。従って、分圧用の抵抗や終端抵抗等の回路素子をデータバスに接続する必要がないため、これらの回路素子の影響によって入力バッファ回路の性能が低下することを回避できる。また、前段の回路との接続方式が容量結合方式に制限されることもない。

【0023】

また、入力信号IN, INBは例えば10GHz程度の高周波であるのに対して、バックゲートを用いたしきい値電圧の制御の応答性は、それよりも低い1GHz程度である。しかしながら、本実施の形態1に係る入力バッファ回路によれば、第1及び第2のローパスフィルタ回路の各積分結果を利用して電圧 V_{3a}, V_{3b} の値が決定されるため、トランジスタ $1_x, 1_y$ の各バックゲートに印加される電圧 V_{3a}, V_{3b} は、入力信号IN, INBほど高速には遷移しない。その結果、オフセット電圧を適切にキャンセルすることができる。

【0024】

実施の形態2.

図3は、本発明の実施の形態2に係る入力バッファ回路の構成を示す回路図である。差動增幅回路5の第1の出力端子は、トランジスタ $1_x, 2_x$ の各バックゲートにそれぞれ接続されている。これにより、トランジスタ $1_x, 2_x$ の各バックゲートには、差動增幅回路5によって電圧 V_{3a} がそれぞれ印加されている。また、差動增幅回路5の第2の出力端子は、トランジスタ $1_y, 2_y$ の各バックゲートに接続されている。これにより、トランジスタ $1_y, 2_y$ の各バックゲートには、差動增幅回路5によって電圧 V_{3b} がそれぞれ印加されている。本実施の形態2に係る入力バッファ回路のその他の構成は、図1に示した上記実施の形態1に係る入力バッファ回路の構成と同様である。

【0025】

なお、図3には、2個の差動増幅回路が従属接続され、トランジスタ 1_x 、 2_x 及びトランジスタ 1_y 、 2_y の各バックゲートに、電圧 $V3_a$ 、 $V3_b$ がそれぞれ印加された構成を有する入力バッファ回路が示されている。しかしながら、差動増幅回路の個数は2個に限定されるものではなく、2個以上の差動増幅回路が従属接続されていて、そのうちの2個以上の差動増幅回路に、電圧 $V3_a$ 、 $V3_b$ が印加されればよい。

【0026】

このように本実施の形態2に係る入力バッファ回路によれば、トランジスタ 1_x の特性とトランジスタ 1_y の特性との相違に起因するオフセット電圧のみならず、トランジスタ 2_x の特性とトランジスタ 2_y の特性との相違に起因するオフセット電圧をもキャンセルすることができる。

【0027】

実施の形態3.

図4は、本発明の実施の形態3に係る入力バッファ回路の構成を示す回路図である。差動増幅回路（本実施の形態3において「電圧変換回路」とも称する）51の第1の入力端子は、抵抗 3_s とキャパシタ 4_s との直列接続点に接続されている。これにより、第1のローパスフィルタ回路から出力された電圧値 $V2_a$ が、差動増幅回路51の第1の入力端子に入力されている。また、差動増幅回路51の第2の入力端子は、抵抗 3_t とキャパシタ 4_t との直列接続点に接続されている。これにより、第2のローパスフィルタ回路から出力された電圧値 $V2_b$ が、差動増幅回路51の第2の入力端子に入力されている。

【0028】

差動増幅回路51は、電圧値 $V2_a$ を変換して電圧 $V3_{a1}$ を出力し、電圧値 $V2_b$ を変換して電圧 $V3_{b1}$ を出力する。差動増幅回路51は、電圧値 $V2_a$ 、 $V2_b$ を変換することにより、1段目の差動増幅回路の設計仕様、特にトランジスタ 1_x 、 1_y の設計仕様に合わせて、適切な電圧 $V3_{a1}$ 、 $V3_{b1}$ を生成して出力する。差動増幅回路51の第1の出力端子は、トランジスタ 1_x のバックゲートに接続されている。これにより、トランジスタ 1_x のバックゲートには、差動増幅回路51によって電圧 $V3_{a1}$ が印加されている。また、差動増幅回

路51の第2の出力端子は、トランジスタ1yのバックゲートに接続されている。これにより、トランジスタ1yのバックゲートには、差動増幅回路51によって電圧V3b1が印加されている。

【0029】

差動増幅回路（本実施の形態3において「電圧変換回路」とも称する）52の第1の入力端子は、抵抗3sとキャパシタ4sとの直列接続点に接続されている。これにより、第1のローパスフィルタ回路から出力された電圧値V2aが、差動増幅回路52の第1の入力端子に入力されている。また、差動増幅回路52の第2の入力端子は、抵抗3tとキャパシタ4tとの直列接続点に接続されている。これにより、第2のローパスフィルタ回路から出力された電圧値V2bが、差動増幅回路52の第2の入力端子に入力されている。

【0030】

差動増幅回路52は、電圧値V2aを変換して電圧V3a2を出力し、電圧値V2bを変換して電圧V3b2を出力する。差動増幅回路52は、電圧値V2a, V2bを変換することにより、2段目の差動増幅回路の設計仕様、特にトランジスタ2x, 2yの設計仕様に合わせて、適切な電圧V3a2, V3b2を生成して出力する。差動増幅回路52の第1の出力端子は、トランジスタ2xのバックゲートに接続されている。これにより、トランジスタ2xのバックゲートには、差動増幅回路52によって電圧V3a2が印加されている。また、差動増幅回路52の第2の出力端子は、トランジスタ2yのバックゲートに接続されている。これにより、トランジスタ2yのバックゲートには、差動増幅回路52によって電圧V3b2が印加されている。本実施の形態3に係る入力バッファ回路の他の構成は、図1に示した上記実施の形態1に係る入力バッファ回路の構成と同様である。

【0031】

なお、図4には、2個の差動増幅回路が従属接続され、2個の電圧変換回路51, 52が設けられ、トランジスタ1x, 1y, 2x, 2yの各バックゲートに、電圧V3a1, V3b1, V3a2, V3b2がそれぞれ印加された構成を有する入力バッファ回路が示されている。しかしながら、差動増幅回路及び電圧変

換回路の個数はそれぞれ2個に限定されるものではなく、2個以上の差動増幅回路が従属接続されていて、そのうちの1個以上の差動増幅回路に電圧V3a1, V3b1が印加されており、他の1個以上の差動増幅回路に電圧V3a2, V3b2が印加されればよい。また、3個以上の差動増幅回路が従属接続されている場合には、差動増幅回路と同数の電圧変換回路を設けてもよく、あるいは、差動増幅回路よりも少ない個数の電圧変換回路を設けて、上記実施の形態2と同様に、1個の電圧変換回路の出力を分岐して2個以上の差動増幅回路に入力してもよい。

【0032】

このように本実施の形態3に係る入力バッファ回路によれば、トランジスタ1xの特性とトランジスタ1yの特性との相違に起因するオフセット電圧のみならず、トランジスタ2xの特性とトランジスタ2yの特性との相違に起因するオフセット電圧をもキャンセルすることができる。

【0033】

しかも、1段目の差動増幅回路に対応する差動増幅回路51と、2段目の差動増幅回路に対応する差動増幅回路52とが、個別に設けられている。そのため、トランジスタ1x, 1yの特性とトランジスタ2x, 2yの特性とが互いに異なる場合であっても、それぞれの特性に応じて適切な電圧V3a1, V3b1, V3a2, V3b2を個別に生成することができる。その結果、上記実施の形態2に係る入力バッファ回路と比較すると、1段目の差動増幅回路に関するオフセット電圧と、2段目の差動増幅回路に関するオフセット電圧とを、より適切にキャンセルすることができる。

【0034】

実施の形態4。

図5は、本発明の実施の形態4に係る入力バッファ回路の構成を示す回路図である。図1に示したトランジスタ1zの代わりに、トランジスタ1zx, 1zyが設けられている。トランジスタ1zx, 1zyは、1段目の差動増幅回路の定電流源として機能する。トランジスタ1x, 1yの各ドレインは、抵抗6を介して互いに接続されている。

【0035】

トランジスタ $1z_x$ のドレインは、トランジスタ $1x$ のソースに接続されている。トランジスタ $1z_x$ のソースは、グランド電位に接続されている。トランジスタ $1z_x$ のゲートには、バイアス電圧BIASが入力されている。差動増幅回路5の第1の出力端子は、トランジスタ $1x$, $1z_x$ の各バックゲートにそれぞれ接続されている。これにより、トランジスタ $1x$, $1z_x$ の各バックゲートには、差動増幅回路5によって電圧V3aがそれぞれ印加されている。

【0036】

トランジスタ $1zy$ のドレインは、トランジスタ $1y$ のソースに接続されている。トランジスタ $1zy$ のソースは、グランド電位に接続されている。トランジスタ $1zy$ のゲートには、バイアス電圧BIASが入力されている。差動増幅回路5の第2の出力端子は、トランジスタ $1y$, $1zy$ の各バックゲートにそれぞれ接続されている。これにより、トランジスタ $1y$, $1zy$ の各バックゲートには、差動増幅回路5によって電圧V3bがそれぞれ印加されている。

【0037】

本実施の形態4に係る入力バッファ回路のその他の構成は、図1に示した上記実施の形態1に係る入力バッファ回路の構成と同様である。図5では、上記実施の形態1に係る入力バッファ回路を基礎として、本実施の形態5に係る発明を適用する例について示したが、本実施の形態5に係る発明は、上記実施の形態2, 3に係る入力バッファ回路に適用することも可能である。例えば、1段目の差動増幅回路のトランジスタ $1z$ のみならず、2段目の差動増幅回路のトランジスタ $2z$ も2個のトランジスタ $2zx$, $2zy$ （図示しない）に分割してもよい。そして、上記実施の形態2と同様に、差動増幅回路5の出力を分岐して、トランジスタ $2x$, $2zx$ に電圧V3aを入力し、トランジスタ $2y$, $2zy$ に電圧V3bを入力してもよい。あるいは、上記実施の形態3と同様に、複数の差動増幅回路51, 52を設け、差動増幅回路51からトランジスタ $1x$, $1zx$ に電圧V3a1を、差動増幅回路51からトランジスタ $1y$, $1zy$ に電圧V3b1を、差動増幅回路52からトランジスタ $2x$, $2zx$ に電圧V3a2を、差動増幅回路52からトランジスタ $2y$, $2zy$ に電圧V3b2を、それぞれ入力してもよ

い。

【0038】

このように本実施の形態4に係る入力バッファ回路によれば、差動増幅回路5は、トランジスタ $1x$, $1y$ の各ボディバイアス電圧のみならず、トランジスタ $1zx$, $1zy$ の各ボディバイアス電圧をも制御する。これにより、上記実施の形態1に係る入力バッファ回路と比較すると、オフセット電圧をより効果的にキャンセルすることができる。

【0039】

【発明の効果】

この発明によれば、第1の電圧変換回路は、第1の出力信号に関する第1の積分回路による積分結果を、第1のトランジスタの設計仕様に合わせて、適切な電圧に変換して出力する。また、第1の電圧変換回路は、第2の出力信号に関する第2の積分回路による積分結果を、第2のトランジスタの設計仕様に合わせて、適切な電圧に変換して出力する。第1の電圧変換回路から出力された各電圧が第1及び第2のトランジスタの各バックゲートにそれぞれ印加されることにより、オフセット電圧がキャンセルされる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る入力バッファ回路の構成を示す回路図である。

【図2】 オフセット電圧がキャンセルされている様子を示すグラフである。

【図3】 本発明の実施の形態2に係る入力バッファ回路の構成を示す回路図である。

【図4】 本発明の実施の形態3に係る入力バッファ回路の構成を示す回路図である。

【図5】 本発明の実施の形態4に係る入力バッファ回路の構成を示す回路図である。

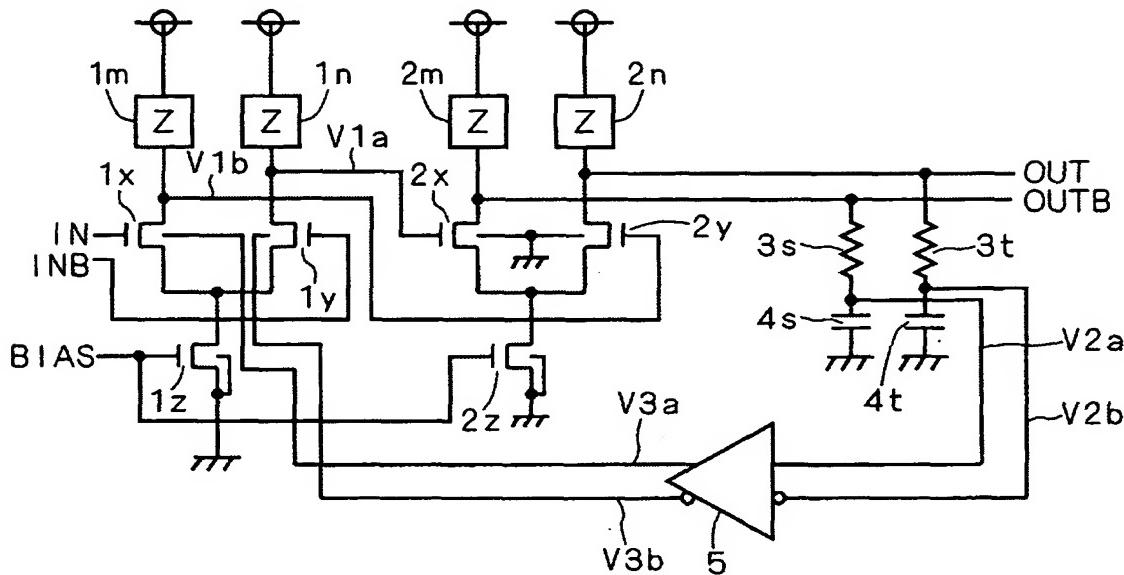
【符号の説明】

$1x$, $1y$, $2x$, $2y$, $1zx$, $1zy$ トランジスタ, $3s$, $3t$ 抵抗

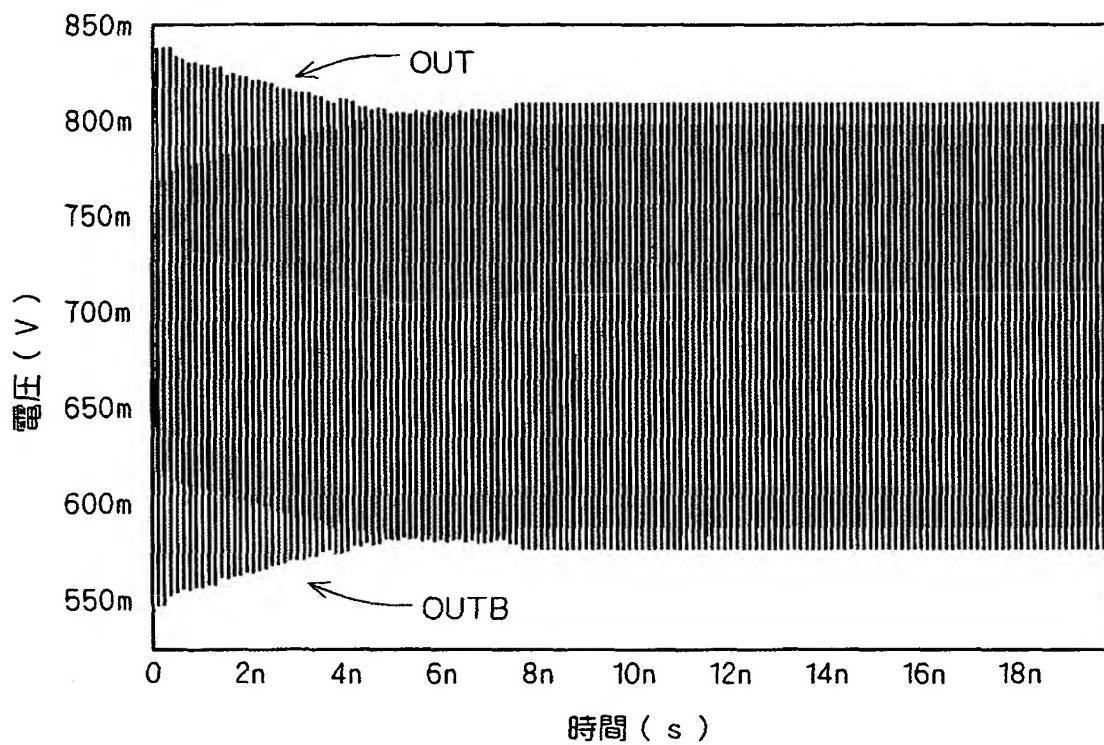
、4s, 4t キャパシタ、5 差動増幅回路。

【書類名】 図面

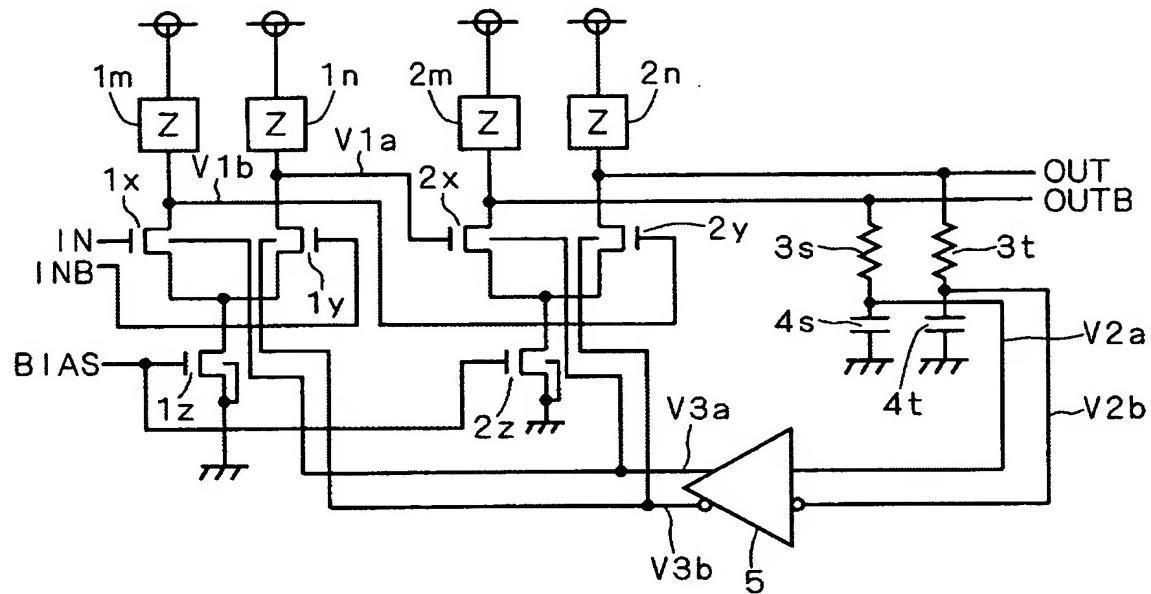
【図1】



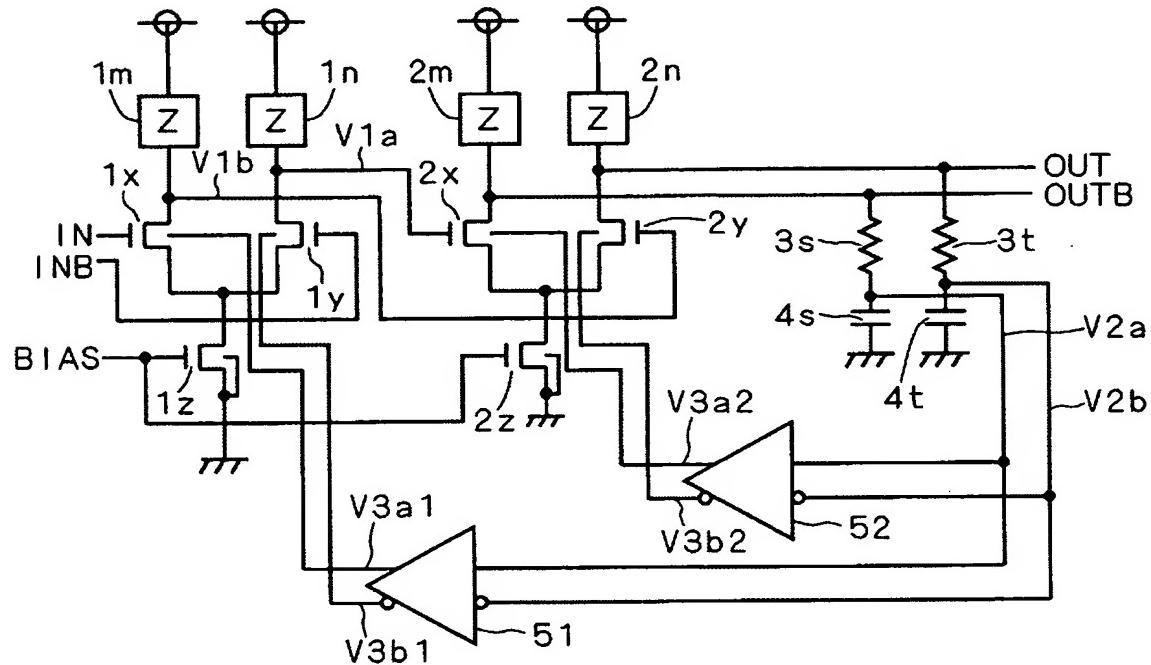
【図2】



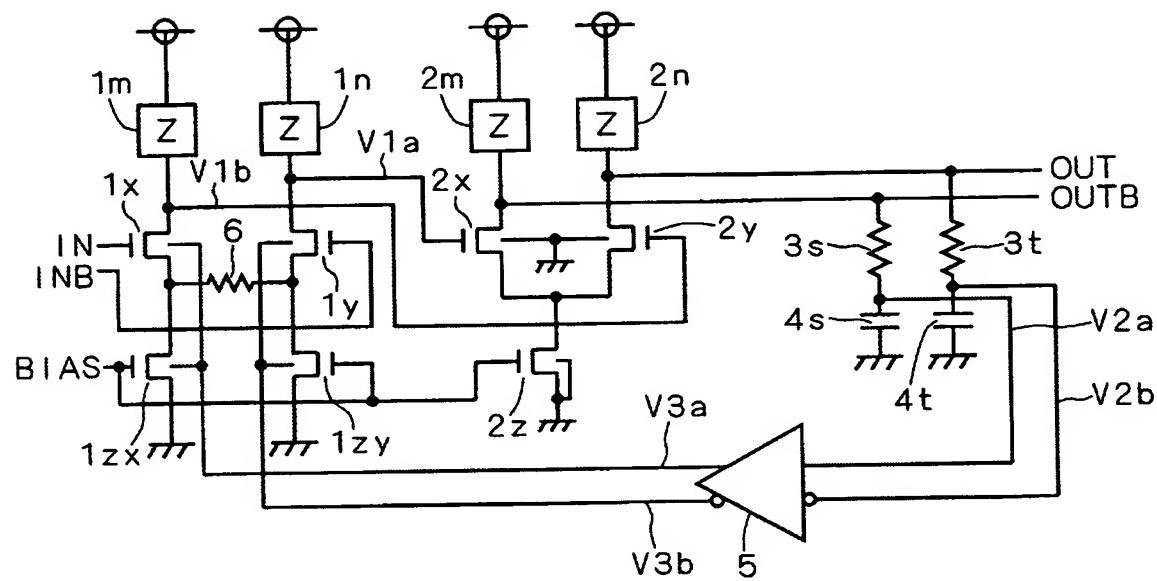
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 回路の性能が低下することがなく、前段の回路との接続方式が制限されることもない、入力バッファ回路を得る。

【解決手段】 出力信号OUTBは第1のローパスフィルタ回路に入力され、第1のローパスフィルタ回路は、所定の期間、出力信号OUTBを積分する。その積分結果は、電圧値V2aとしてキャパシタ4sにストアされる。同様に、出力信号OUTは第2のローパスフィルタ回路に入力され、第2のローパスフィルタ回路は、上記の所定の期間、出力信号OUTを積分する。その積分結果は、電圧値V2bとしてキャパシタ4tにストアされる。差動增幅回路5は、電圧値V2a, V2bを増幅することにより、トランジスタ1x, 1yの設計仕様に合わせて、適切な電圧V3a, V3bを生成して出力する。電圧V3a, V3bはトランジスタ1x, 1yの各バックゲートにそれぞれ印加される。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社